

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-075853

(43)Date of publication of application : 07.04.1987

(51)Int.Cl.

G06F 12/16

(21)Application number : 60-215195

(71)Applicant : YASKAWA ELECTRIC MFG CO LTD

(22)Date of filing : 30.09.1985

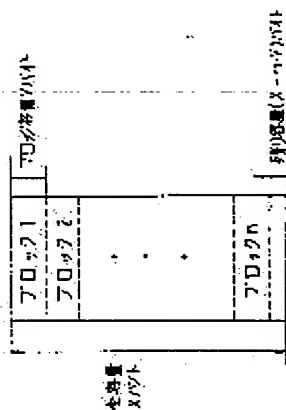
(72)Inventor : KUZUSHIMA MITSUNORI

(54) SPLIT USING SYSTEM FOR MEMORY

(57)Abstract:

PURPOSE: To improve the memory using efficiency and to prolong a device lifetime by dividing a memory capacity into (n) blocks and replacing successively the using blocks at every time the abnormality is detected in a certain address of the block and using the memory up to the n-th block.

CONSTITUTION: In case the area of a block 1 is used in the operation mode of a device, the abnormality is detected in the writing mode of the data (a) of an address i1. Thus all data excluding the data on the address i1 of the block 1 are shifted to a block 2 and the address i2 of the block 2 corresponding to the address i1 of the block 1 is written. If the abnormality is detected when the data (b) is written to the address i2 of the block 2, a block 3 is used to perform the same processing. Thus the addresses are written successively with the blocks 4, 5 and so on and the using blocks are replaced successively at every time the abnormality is detected. Then the end of the lifetime is decided when the writing abnormality is detected with the address in of the block (n). Thus the application is impossible with the memory.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(J P)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-75853

⑤ Int. Cl.⁴
G 06 F 12/16

識別記号
3 1 0

庁内整理番号
R-7737-5B

⑬ 公開 昭和62年(1987)4月7日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 メモリの分割使用方式

⑰ 特 願 昭60-215195

⑱ 出 願 昭60(1985)9月30日

⑲ 発 明 者 葛 島 光 則 行橋市西宮市2丁目13番1号 株式会社安川電機製作所行
橋工場内

⑳ 出 願 人 株式会社安川電機製作 北九州市八幡西区大字藤田2346番地
所

㉑ 代 理 人 弁理士 若 林 忠

明 細 書

1. 発明の名称

メモリの分割使用方式

2. 特許請求の範囲

電気的に書込み可能なメモリを搭載し、運転中に前記メモリに対する書込み動作が行なわれる装置において、

前記メモリとしてある一定の容量を持つ1つのメモリを備え、前記メモリの容量をn個のブロックに分割し、装置運転中に、第1のブロックのある番地に書込み異常が検出された場合には第2のブロックに書込み、第2のブロックのある番地に書込み異常が検出された場合には第3のブロックに書込むというように、ブロックのある番地に書込み異常が検出されるたびに順次、使用するブロックを更新して、第nのブロックまで使用するメモリの分割使用方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、RAM、EEPROM等、電気的に

書込み可能なメモリを搭載し、運転中にそのメモリに対する書込み動作が行なわれる装置に関する。

(従来技術)

従来、この種の装置において、運転中にメモリに書込みを行なう際に書込み異常が発生した場合、(1)異常検出を行なわないか、(2)異常を検出したら、メモリ異常の故障信号を出力するとともにそのメモリを使用不可とし、運転を停止し、メモリの取り換えを行なうか、(3)第3図に示すように、例えばメモリ1、メモリ2、メモリ3とXバイトの容量を持つメモリを複数、用意しておき、メモリ1のある番地1に書込み異常が検出された場合にはメモリ2に書込み、メモリ2のある番地2に書込み異常が検出された場合にはメモリ3に書込むという方式をとっていた。

(発明が解決しようとする問題点)

上述した従来方式のうち、(1)はデータが正常に書込まれていないのに書込まれたものと判断される欠点があり、(2)は装置の停止により装置

の稼働率が悪くなるという欠点があり、(3)はメモリ3個分のスペースを基板上に必要とし、また、メモリをその容量一杯に使用している場合はよいが、その中の数分の1、数十分の1のメモリ容量しか使用していない場合にはメモリの使用効率が悪くなり、さらにEEPROMの場合にはある一定のアドレスにデータを書込む場合、ある回数で書込みができなくなり(これを書込み保証回数という)、同じアドレスに何回も書込み動作を行なうような装置ではそのメモリの寿命が短くなる(第3図の場合、メモリ11、12、13の書込み保証回数をXとすると、メモリ全体としての寿命は3X回、ある番地に書込み動作を行なう時までである)という欠点がある。

〔問題点を解決するための手段〕

本発明の方式は、メモリとしてある一定の容量を持つ1つのメモリを備え、前記メモリの容量をn個のブロックに分割し、装置運転中に、第1のブロックのある番地に書込み異常が検出された場合には第2のブロックに書込み、第2のブロック

のある番地に書込み異常が検出された場合には第3のブロックに書込むというように、ブロックのある番地に書込み異常が検出されるたびに順次、使用するブロックを更新して、第nのブロックまで使用する。

〔作用〕

例えば512バイトのEEPROMを1個使うとして、その内100バイトの容量しか使わないとすると、1ブロックを100バイト構成として5ブロックできる。ブロック内のあるアドレスが書込み異常となる書込み回数の平均をy回とすると、5ブロックの全てのブロックで書込み異常が検出される書込み回数は5y回となり、5倍のメモリ使用効率となると同時にメモリの書込み動作による装置の寿命は5y回となる。ブロック数を大きくすれば、当然メモリの書込み動作による装置の寿命も長くなる。

〔実施例〕

本発明の実施例について図面を参照して説明する。

第1図は本発明のメモリの分割使用方式が適用されたメモリの一実施例を示す図、第2図は本実施例におけるメモリ書込み処理を示すフローチャートである。

本実施例では、第1図に示すように、Xバイトの容量をもつメモリが、Yバイトの容量をもつn個のブロックに分割されている。

次に、本実施例におけるメモリ書込み処理について第2図のフローチャートを参照して説明する。

装置が運転に入った状態で、ブロック1の領域を使用しているものとする。ブロック1の番地 i_1 にデータaを書込み(ステップ1)、書込みが完了したか調べ(ステップ2)、書込みが完了すると、番地 i_1 の内容を読み出し(ステップ3)、読み出した内容がデータaかどうかを調べ(ステップ4)、データaであれば「書込み正常」、データaでなければ「書込み異常」となる。「書込み正常」であれば、現在使用しているブロックであるブロック1を継続して使用するこ

とになる(ステップ5)。「書込み異常」であれば、書込み可能なブロックがあるかどうか調べ(ステップ6)、あれば空のブロックを使用し(ステップ7)、なければメモリの寿命とみなし使用不可とする(ステップ8)。この場合、ブロック1の番地 i_1 のデータaの書込みで書込み異常が検出されたものとする、ステップ7において、ブロック1の番地 i_1 のデータを除く全データをブロック2に移し、ブロック1の番地 i_1 に相当するブロック2の番地 i_2 にデータaを書込む。さらに、ブロック2の番地 j_1 にデータbを書込む際に書込み異常が検出された場合、ブロック3を使用して上記と同じ処理をする。ブロック3の次は、ブロック4、ブロック4の次はブロック5とブロックのある番地に書込み異常が検出されるたびに順次、使用するブロックを更新する。そしてブロックnを使用しているとき、ブロックnの番地 i_n に書込み異常が検出されると、ステップ8においてメモリの寿命とみなし、使用不可となる。

なお、書き込み異常が検出された場合に次に出込むブロックはブロック 2, 3, 4... の順番でなくてもよい。

(発明の効果)

以上説明したように本発明は、1つのメモリを複数のブロックに分割し、書き込み異常が検出されたときに順次、使用するブロックを更新することにより、予備のメモリを装置に搭載する必要がなく、メモリの使用効率が向上し、メモリの書き込み動作による装置の寿命が長くなるという効果がある。

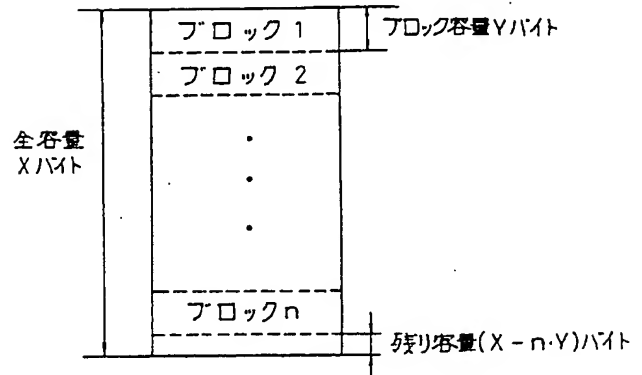
4. 図面の簡単な説明

第 1 図は本発明のメモリの分割使用方式が適用されたメモリの一実施例を示す図、第 2 図は本実施例におけるメモリ書き込み処理を示すフローチャート、第 3 図は従来のメモリ使用方式の例を示す図である。

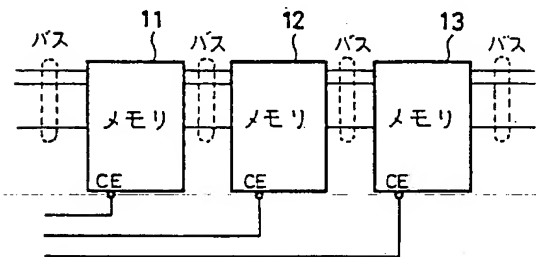
1, 2, ..., 8... メモリ書き込み処理のステップ。

特許出願人 株式会社安川電機製作所

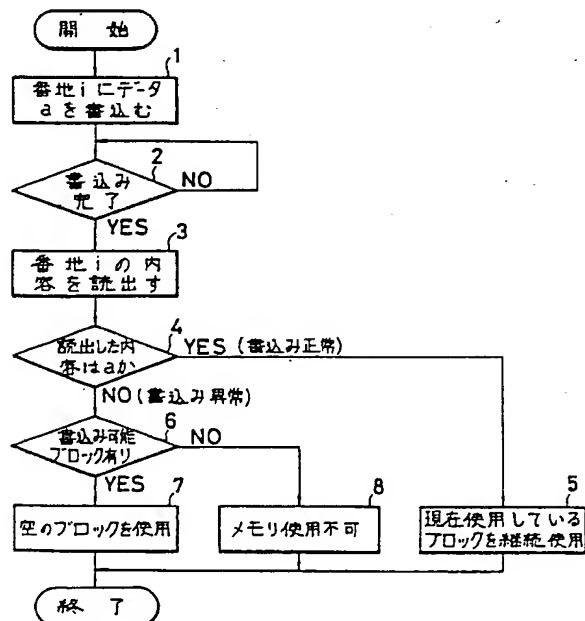
代理人 若 林 忠



第 1 図



第 3 図



第 2 図